

CERTIFICATE OF EFS FILING UNDER 37 CFR §1.8

I hereby certify that this correspondence is being electronically transmitted to the United States Patent and Trademark Office, Commissioner for Patents, via the EFS pursuant to 37 CFR §1.8 on the below date:

Date: October 9, 2009 Name: Jasper W. Dockrey, Reg. No. 33,868 Signature: /Jasper W. Dockrey/

Case No. 9905/34
Client No. BIF023273/US

UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:)	
)	
JOLY et al.)	
)	Examiner: Zarneke, David A.
Serial No.: 10/561,299)	
)	Group Art Unit: 2891
Filing Date: December 15, 2005)	
)	Confirmation No.: 3881
For: INTEGRATED CIRCUIT ON HIGH-)	
PERFORMANCE CHIP)	

DECLARATION UNDER 37 C.F.R. §1.131

Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

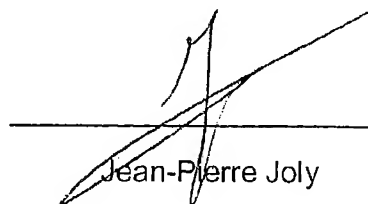
Dear Sir:

Declarants, Jean-Pierre Joly, Laurent Ulmer, and Guy Parat hereby states as follows:

1. We are research scientist employed by the Commissariat à L'Energie Atomique ("the CEA"), and we are the named inventors of the above-referenced U.S. patent application.
2. Before December 3, 2002, we conceived the invention recited in the claims now pending in this application.

3. After conceiving the invention, Messrs. Joly and Ulmer reported our invention by internal technical notes to the Service Accords et Propriété Industrielle in the CEA, which is part of Direction de la Recherche Technologique located in Grenoble, France.
4. Before December 3, 2002, we gave an internal technical note disclosing the invention to Ms. Robert of the Service Accords et Propriété Industrielle in Grenoble, France. Our technical note that is attached hereto as Exhibit A.
5. Relevant portions of our technical note have been translated into English and are attached hereto as Exhibit B.
6. In December of 2002, we received a draft patent application prepared by French patent counsel at Rinuy, Santarelli in Paris, based on our technical note. This draft application was given to us by Ms. Robert. After reviewing the draft patent application, we made revisions to the draft patent application and returned an edited version of the draft application to the Service Accords et Propriété Industrielle in Grenoble. After subsequent revisions made in May and June of 2003, a final version of the application was prepared as a French Patent Application by patent counsel at Rinuy, Santarelli. We received a letter from Mr. Lagarde of the Service Accords et Propriété Industrielle informing us that the patent application was filed in the French Patent Office on June 24, 2003.
7. We hereby declare that all statements made herein of our own knowledge are true and that all statements made on information and belief are believed to be true and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

29 Sept, 2009
Date

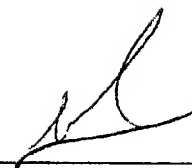

Jean-Pierre Joly

september 22, 2009

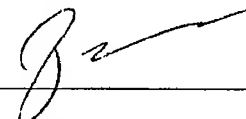
Date

September 22, 2009

Date



Laurent Ulmer



Guy Parat

EXHIBIT A

JP Joly → V. Robert

Nouvelle version avec doc associée

VR

Système intégré sur puce pour les applications Radiofréquence par collage de tranche comportant des composants passifs et en particulier des condensateurs élaborés à haute température et des inductances isolées du substrat des circuits actifs

Auteurs : J-P Joly , L.Ulmer

Etat de l'art

Dans le domaine des systèmes Radiofréquence portables, on cherche de plus en plus :

- à réduire la taille prise par les composants
- à diminuer le coût
- à introduire de nouvelles fonctions

Pour obtenir ces objectifs il est nécessaire d'intégrer le plus en plus de composants autrefois fabriqués séparément, de façon collective sur une même puce. Il en est ainsi des nombreux composants passifs : résistances, condensateurs, inductances, ou des MEMS : filtres acoustiques, interrupteurs RF, condensateurs à capacités variables, qui sont (ou seront) intégrés ensemble indépendamment ou avec les transistors des circuits intégrés analogiques et numériques.

L'intégration monolithique avec les transistors est la plus intéressante en terme de compacité et de coût, mais se heurte à un certains nombres de difficultés :

- 1) La nature des couches, ou les traitements nécessités par la fabrication des composants passifs ne sont pas toujours facilement compatibles avec une fabrication sur les circuits actifs
- 2) Les caractéristiques des composants passifs sont perturbés par le type de substrat utilisé pour les circuits actifs
- 3) On ne peut profiter de la dimension verticale pour obtenir de meilleurs caractéristiques ou une meilleur compacité pour les composants passifs.
- 4) Il faut rajouter lorsqu'il y a présence de MEMS un capot destiné à protéger les éléments mécaniques sans perturber le fonctionnement de ces derniers.

A titre d'exemple pour le point 1, pour les condensateurs on recourt à des diélectriques élaborés à basse température (typiquement à des températures inférieures à 450°C) ayant permittivité la plus élevée possible. Cela permet d'intégrer les composants dans ou au-dessus des métallisations usuelles dans les C.I à base d'Aluminium ou de Cuivre. Malheureusement, cela limite fortement le type de matériau et les permittivités accessibles. On ne peut en particulier utiliser les matériaux ferroélectriques de type perovskites qui nécessitent des températures de recuit de l'ordre de 600°C pour acquérir la structure voulue. On trouvera en [1] un exemple d'intégration de condensateurs selon la technologie usuelle.

Sur le point 2, les substrats utilisés pour les circuits CMOS ou BICMOS ont des conductivités au plus égales à environ 10 Ωcm . Les courants induits dans ces substrats par les inductances ou les lignes conductrices produisent des pertes importantes et diminuent ainsi les facteurs de qualité des structures résonnantes. Pour pallier à cette difficulté, on recourt à des technologies consistant à éliminer [2], à rendre isolant le substrat sous les zones devant accueillir les inductances et les lignes : Si poreux [3], ou à structurer les couches conductrices sous-jacentes en petites zones isolées les unes des autres [4]. Outre la difficulté à le faire, cela pose des difficultés et des perturbations pour la mise en place de la technologie des composants actifs.

Sur le point 4 on recourt usuellement au scellement d'une plaquette de Silicium de même diamètre que la plaquette sur laquelle ont été réalisés les circuits [5]. Cette technologie est assez coûteuse. Il faut ajouter au coût du substrat supplémentaire, le coût du scellement, celui d'un amincissement et le coût d'une gravure locale pour accéder aux plots électriques de sortie à la surface du circuit pour une simple fonction de protection, sans autre ajout de fonctions que celui du capotage.

Nature de l'invention et intérêt par rapport à l'état de l'art

Nous proposons une invention destinée à résoudre en bonne partie les difficultés occasionnées par les technologies actuelles. Elle est basée sur l'idée de réaliser sur un premier substrat B différent du substrat A contenant les composants actifs et de même diamètre tout ou partie des composants passifs critique suivants : inductances, condensateurs de forte valeur et MEMS et d'utiliser un scellement des deux substrats. Selon un mode préféré on réalise sur le substrat B les condensateurs de forte valeur de capacité, soit de type ferroélectrique, soit de type condensateur en tranchée.

A ce stade selon un autre mode préféré, on procède à une gravure de structures fines dans le substrat B sur une certaine profondeur. Ces gravures fines sont destinées à réaliser de façon non exclusives le maximum parmi les fonctions suivantes :

- 1) Réalisation de condensateurs de forte valeur en tranchée (les tranchées permettent de développer une grande surface et d'augmenter ainsi considérablement la valeur de la capacité pour une surface donnée de substrat [6])
- 2) Réalisation de structures isolantes sous les inductances par formation de tranchées comportant un isolant et empêchant donc la circulation des courants induits.
- 3) Interconnexions entre les faces en contact des substrats scellés et la surface libre de ce substrat après collage

On réalise, si on le souhaite, les structures MEMS et les métallisations de connexions des éléments du substrat B face côté scellement. Les deux substrats sont scellés avec les MEMS côté face de scellement.

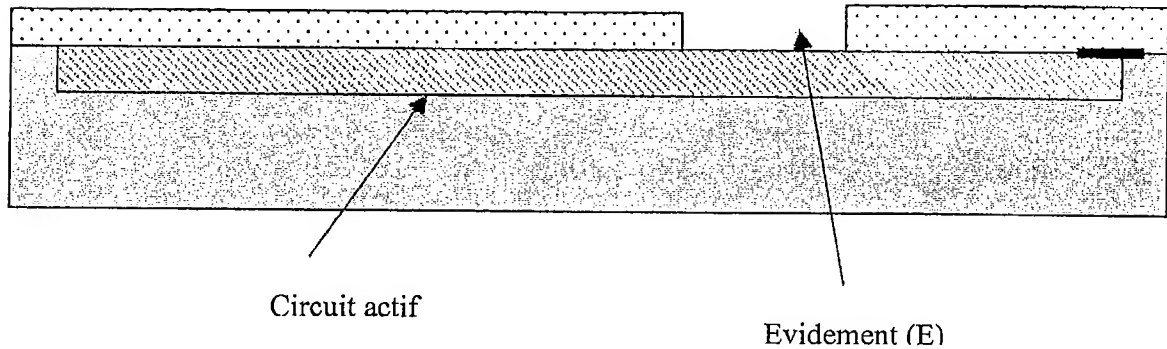
Le substrat B est ensuite aminci au moins jusqu'au fond des tranchées. Après planarisation de la surface, côté amincissement, et dépôt de couche d'isolation, on réalise les motifs de métallisation sur cette surface, motifs définissant les inductances en veillant à ce que ces inductances soient au-dessus de zones en tranchées.

L'épaisseur des tranchées et par là du substrat B après amincissement est suffisamment élevée pour permettre d'éloigner les inductances du substrat A et améliorer ainsi leurs facteurs de qualité et pour augmenter la valeur de capacités des condensateurs. Elle devra néanmoins rester compatible avec une réalisation aisée des gravures en tranchées et des ouvertures pour la connexion des plots.

On choisira de préférence pour le substrat B une très forte conductivité si on veut réaliser des capacités en tranchées, car le substrat constituera une armature du condensateur et ne devra donc pas offrir une trop forte résistance. Si on ne souhaite pas réaliser de condensateur en tranchée, on pourra choisir un substrat de préférence de faible conductivité pour limiter encore plus les pertes.

Description de modes de réalisation

- 1) On réalise, sur une tranche de semiconducteur A, le circuit intégré RF avec les composants actifs (ex : technologies CMOS ou BICMOS) selon les technologies à l'état de l'art et sans les composants passifs critiques
 - A. Selon un mode préféré, on dépose une couche épaisse que l'on grave localement à l'aplomb des futurs éventuelles composants MEMS réalisés sur le substrat B (évidemment E)



- 2) On traite le substrat B de la façon suivante:

A. tranchées

- a) On réalise une gravure de tranchées (T) selon des motifs prédéfinis et sur une profondeur, légèrement supérieure à l'épaisseur du futur substrat après amincissement.
- b) On fait croître un isolant (I) sur les faces de la tranchée un diélectrique de haute qualité (d'épaisseur faible si condensateurs en tranchées). Dans le cas où le semiconducteur est le Silicium, on utilise avantageusement pour cela l'oxydation thermique en association éventuellement avec la nitruration ou le dépôt de nitrure de Silicium.
- c) On remplit les tranchées d'un matériau (S), matériau fortement conducteur si on veut réaliser des condensateurs en tranchées. On peut par exemple utiliser le Silicium polycristallin non dopé (ou dopé in situ si condensateurs en tranchées).
- d) On réalise une gravure localisée par masquage du matériau conducteur pour ne délimiter des zones en surface de B (si condensateurs en tranchées).

B. Condensateurs HP avec diélectrique à haute permittivité

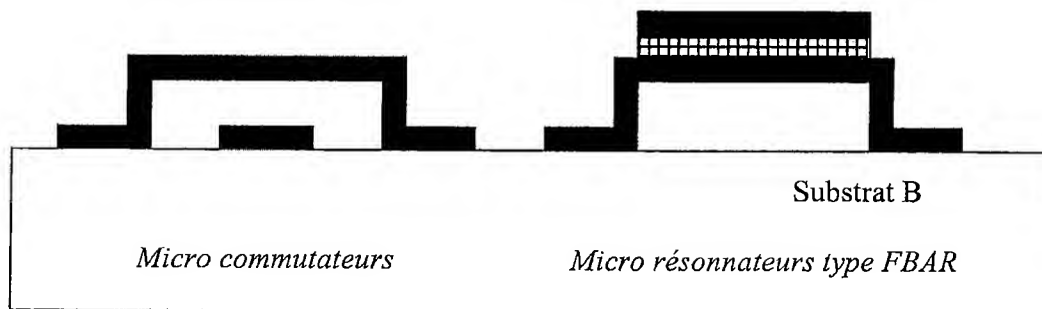
L'utilisation de diélectriques à haute permittivité est très utile dans le domaine pour réaliser d'une autre façon des condensateurs à forte valeur de capacité [7] ou pour réaliser des condensateurs à capacité variable (forte variation de la permittivité apparente avec la tension). Les matériaux de référence sont les

perovskites comme par exemple SrTiO_3 , $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (PZT) ou $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (BST). Une saquence typique de réalisation est :

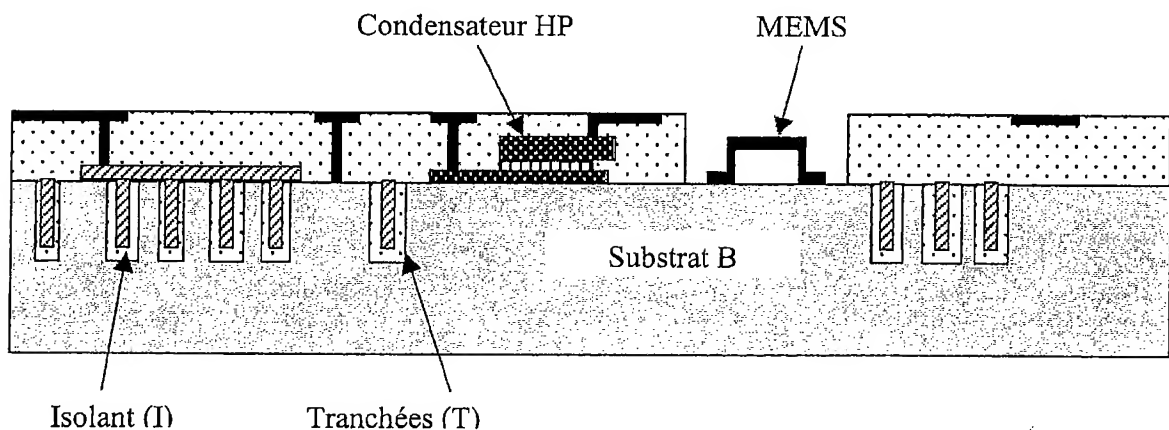
- a) Dépôt et litho/gravure de l'électrode inférieure, du matériau diélectrique selon les méthodes usuelles (Sol Gel, MOCVD etc...)
- b) Recuit à haute température (ex 700°C) pour obtenir la phase perovskite et les bonnes propriétés,
- c) Dépôt de l'électrode supérieure,
- d) Litho/gravure du bi-couche électrode supérieure et diélectrique.

C. On réalise les composants MEMS à fonctionnement électro-mécanique ou électro-acoustique, comme les micro-commutateurs électromécaniques ou les résonateurs acoustiques toujours sur le wafer B

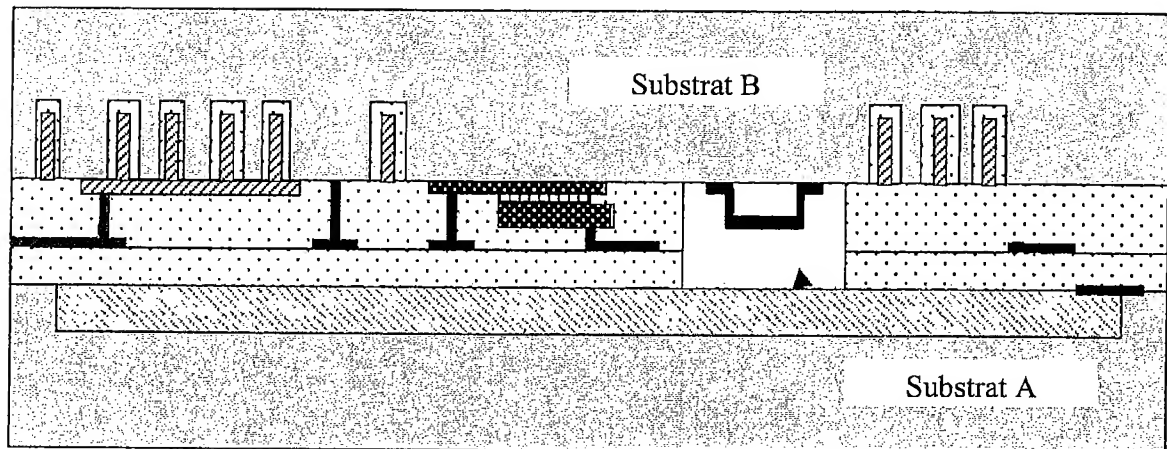
Ces composants sont réalisés par une succession de dépôt et de litho/gravure. Certaines étapes de métallisation finales pourront être communes entre la réalisation des condensateurs et celles des MEMS.



On réalise des métallisations permettant de prendre les contacts sur les armatures des condensateurs et des MEMS et les relier entre eux et avec des plages (plots) qui seront ensuite reliés aux autres éléments du système par des vias à travers le substrat B (voir plus bas).

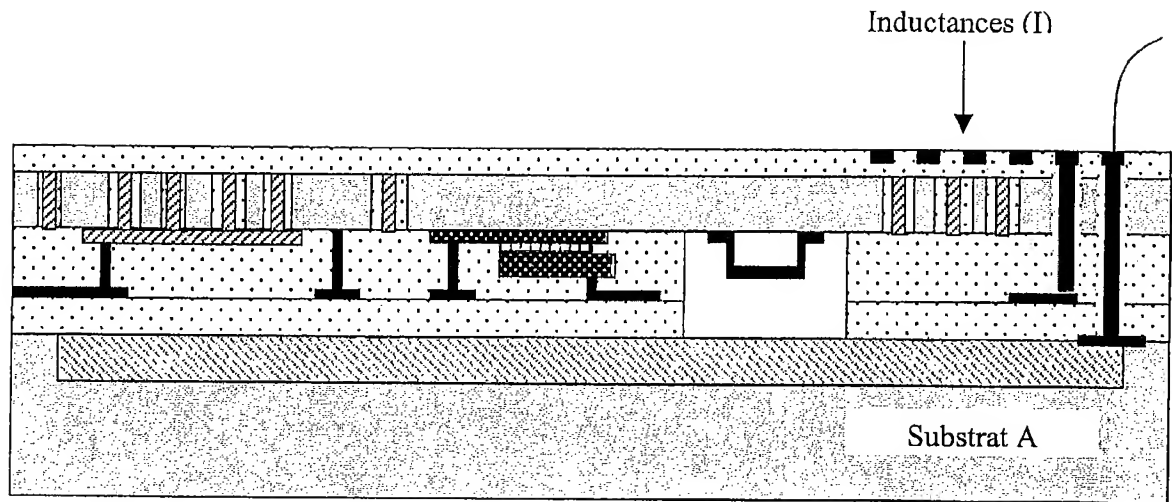


- a) On colle ensuite ce substrat B sur le substrat A avec alignement des évidement E avec les MEMS. Ceci peut-être réalisé de différentes méthodes connues: collage par adhésion moléculaire, collage eutectique, collage par « anodic bonding », collage par polymère...



- D. On Amincit le substrat B par exemple par rectification mécanique, puis par polissage en poursuivant l'amincissement jusqu'à pénétrer dans les structures en tranchées
- E. On peut graver ensuite localement le wafer B puis les couches diélectriques à l'aplomb de façon à dégager les futurs contacts sur les plots de métallisations se trouvant initialement soit sur le wafer A, soit sur le wafer B. On dépose un isolant à basse température de façon à recouvrir les flancs des tranchées et la nouvelle surface libre du substrat B. On réalise des motifs en creux dans cet isolant à des endroits prédéterminés destinés à délimiter des futurs lignes conductrices. On réalise une métallisation conductrice sur la surface et dans les trous ainsi réalisés (vias). Pour cela on réalise par exemple un dépôt mince d'un métal approprié. On utilise ce fond continu pour réaliser une électrolyse de Cuivre épais selon une technologie telle qu'indiquée en [8]. On planarise le Cuivre et le fond continu selon les techniques usuels utilisées pour ne laisser du métal que dans les motifs en creux et réaliser ainsi des structures dites Damascene. Les lignes sur la surface seront dessinées de telle façon à réaliser des inductances (IN) de forte valeur. L'épaisseur des creux et du métal seront choisis de façon à minimiser la résistance de la couche.

X



Comment cette structure résout de façon conjuguée les difficultés mentionnées plus haut ?

- 1) Qualité des Inductances : les pertes diélectriques sont fortement minimisées puisqu'on éloigne ces inductances du substrat actif conducteur d'une épaisseur pouvant être élevée et que la zone sous les inductances supprime les courants induits
- 2) Condensateurs. On dispose de plusieurs voies pour réaliser des capacités de fortes valeurs sans être fortement pénalisés par les températures de procédé, ni par la surface consommée.
- 3) On obtient en même temps une protection des composants électromécaniques de type MEMS.
- 4) On peut utiliser un ligne de fabrication standard de circuit CMOS ou BICMOS pour le process du substrat A d'une part et une autre indépendante spécifique pour le process du substrat B, ce qui rend plus souple la fabrication de l'ensemble

- [1] S.Jenei « High Q inductors and capacitors on Si substrate » IEEE 2001
- [2] Brevet US 5,539,241 « Monolithic Passive Component » A.A Abidi
- [3] H-S Kim « A porous Si based novel isolation technology for mixed-Signal I.C » 2002 Symposium on VLSI Technology
- [4] brevet US 6,310,387 J.M Douglas « Integrated Circuit Inductor with High self-resonance frequency »
- [5] H ;Tilmans « 0 level packaging for MEMS or MST Devices » mstnews 1/00
- [6] « High Value MOS capacitor arrays in ultradeep trenches in Silicon » Microelectronic Engineering 53 (2000) pp581-584, F.Roozeboom
- [7] T.Ayguavives « Physical properties of (BaSr)TiO₃ thin films used for integrated capacitors in microwave applications » IEEE 2001
- [8] M.Tomisaka « Electroplating Cu Fillings for Through-Vias for 3D Chip stacking » 2002 Electronic Components and Technology Conference

EXHIBIT B

Santarelli

Rinuy, Santarelli & Cabinet Bonnet-Thirion

Conseils en Propriété Industrielle
European Patent, Trademark and Design Attorneys

Marc Santarelli ▲ **
Luc Santarelli ▲ **
Thierry Caen ▲ **
Laurence Julien-Baas ▲ **
François Lepelletier-Boufford ▲ **
Herbert Lewittes ▲ **
Bruno Quantin ▲ **

Professeur Georges Bonet

Nathalie Berna
Dorier Billon
Arnaud Bonniers ▲ *
Lorraine Clavier
Séverine Coost
Richard Combes ▲ **
Arnaud De pianque
Marie Ebrat
Sylvain Espinasse
Maria Fernandez Sanchez
Cédric Gaiup ▲ *
Michel George ▲ **
Guy Girard
Julie Haller
Jean-Luc Hartmann ▲ *
Piotr Kołodziejczyk
Laurent Kurtz ▲ *
Eric Le Bihan ▲ **
David Lefevre
Karine Mikus ▲ **
Valérie Moncade ▲ *
Maxime Petit ▲ *
Pierre-Louis Renard
Lea-Marie Rogen ont
Muriel Rosenberg ▲ *
Hélène Stankoff ▲ *
Oliver Thnen ▲ **
Ghislain de Tiemalles *
Catherine Ullmann ▲ *

▲ Conseil en Propriété Industrielle
Intellectual Property Attorney

* Mandataire agréé auprès
de l'Office Européen des Brevets
European Patent Attorney

■ Conseil Européen en Marques
European Trademark Attorney

Administration
Veronique Edmond
Isabelle Mercier
Monique Pouchin
Elisabeth Poulet

Secrétariat général et finance
Dominique Labauge

Siège social / Head office
14 avenue de la Grande-Armée
Boîte Postale 237
75822 Paris Cedex 17
Tél +33 (0)1 40 55 43 43
Fax +33 (0)1 42 67 56 29
Visio Conférence +33 (0)1 58 05 06 73
E-mail contact@santarelli.com

Bureau de Marseille
146 rue Paradis
13294 Marseille Cedex 6
Tél +33 (0)4 96 10 21 10
Fax +33 (0)4 96 10 21 15
E-mail marseille@santarelli.com

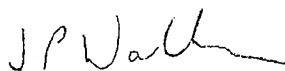
Bureau de Toulouse
Bureau Impérial A
Boîte Postale 382
31114 Labège Cedex
Tél +33 (0)5 61 00 75 30
Fax +33 (0)5 61 00 75 39
E-mail toulouse@santarelli.com

CERTIFIED TRANSLATION OF FRENCH DOCUMENTS

I, Jeremy WALKER, translator of Cabinet Santarelli, Conseils en Propriété Industrielle, 14, avenue de la Grande Armée 75017 Paris, France, hereby certify that I am fully conversant with the English and French languages and that I am a competent translator thereof, and I further certify that to the best of my knowledge and belief the following translation is a true and accurate translation into English of extracts from the attached document written in French and date-stamped on October 14, 2002 by the patents division, SAPRI, of the Commissariat à l'énergie atomique, relating to:

Application No. 10/561,299 (publication No. US-2006-252,229) filed on June 23, 2004

Signed on September 28, 2009



Jeremy WALKER

System integrated on a chip for Radiofrequency applications by slice bonding comprising passive components and in particular capacitors produced at high temperature and inductors insulated from the substrate of the active circuits

Authors: J-P Joly, L. Ulmer

State of the art

In the field of portable Radiofrequency systems, it is increasingly sought to:

- reduce the space occupied by the components
- reduce the cost
- introduce new functions

To attain these objectives it is necessary to collectively integrate more and more components on the same chip, which were formerly manufactured separately. This applies to numerous passive components: resistors, capacitors, inductors, or MEMS: acoustic filters, RF switches, variable capacitors, which are (or will be) integrated together independently or with the transistors of the analog and digital integrated circuits.

[...]

[...]

Nature of the invention and advantage relative to the state of the art

We provide an invention intended to solve a large proportion of the difficulties caused by present technologies. It is based on the idea of producing, on a first substrate B different from the substrate A containing the active components and of the same diameter, all or some of the following critical passive components: inductors, high value capacitors and MEMS and to use bonding of the two substrates. According to a preferred embodiment, the capacitors of high value that are either of ferroelectric type or of trench capacitor type are formed on substrate B.

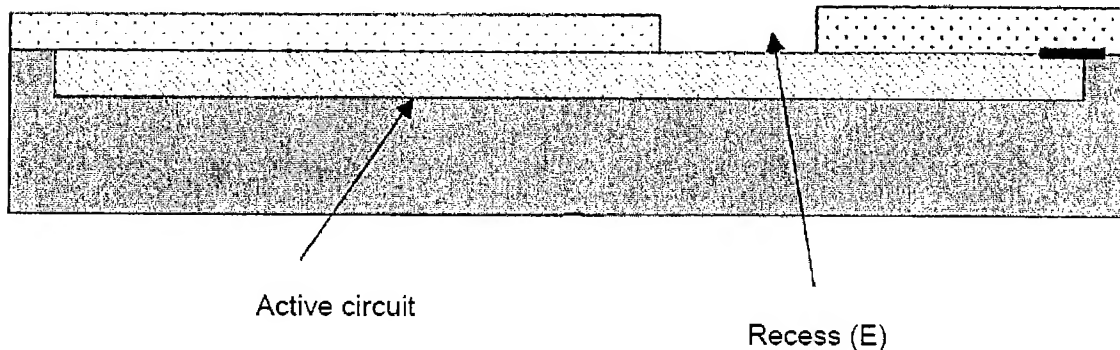
At this stage according to another preferred embodiment, etching of fine structures is performed in substrate B to a certain depth. These fine etching operations are non-exclusively intended to achieve the maximum of the following functions:

- 1) Produce high value capacitors in trenches (the trenches enable a high surface area to be produced and thereby to considerably increase the value of the capacitance for a given area of substrate [6])
- 2) Produce insulating structures under the inductors by forming trenches comprising an insulator and thereby preventing the circulation of induced currents.
- 3) Interconnections between the faces in contact of the bonded substrates and the free surface of that substrate after bonding

[...]

Description of embodiments

- 1) On a slice of semiconductor A, the RF integrated circuit with the active components (e.g. CMOS or BICMOS technologies) is produced according to the technologies at the state of the art and without critical passive components A. According to a preferred embodiment, a thick layer is deposited which is locally etched in vertical alignment with the future MEMS components formed on substrate B (recess E)



- 2) Substrate B is treated in the following manner:

A. trenches

- a) Etching of trenches (T) is carried out according to predefined patterns and to a depth slightly greater than the thickness of the future substrate after thinning.
- b) On the faces of the trench an insulator (I) is grown a high quality dielectric[§] (small thickness in the case of capacitors in trenches). If the semiconductor is Silicon, thermal oxidation is advantageously used for this, which may be in association with nitriding or the deposit of Silicon nitride.
- c) The trenches are filled with a material (S) that is a very good conductor if it is desired to produce capacitors in trenches. For example non-doped polycrystalline Silicon may be used (or that is doped *in situ* in the case of capacitors in trenches)
- d) Localized etching is carried out by masking the conductor material so as not to delimit regions at the surface of B (in the case of capacitors in trenches).

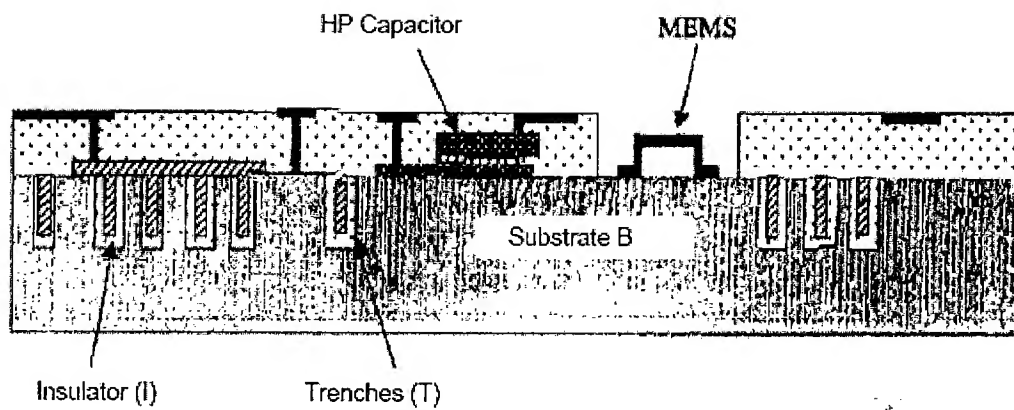
B. HP capacitors with a high permittivity dielectric

The use of high permittivity dielectrics is very useful in this field to produce high capacitance capacitors [7] in another way or to produce variable capacity capacitors (high variation in the permittivity apparent with voltage). The reference materials are

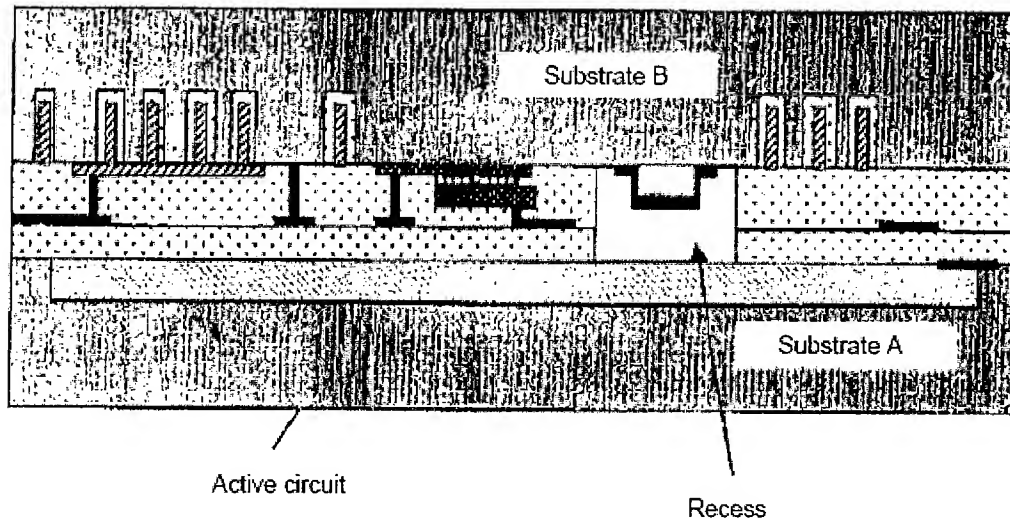
[§] Translator's note: it seems clear that what was meant was "... an insulator (I) is grown using a high quality dielectric...".

perovskites such as SrTiO_3 , $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (PZT) or $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ (BST).

[...]

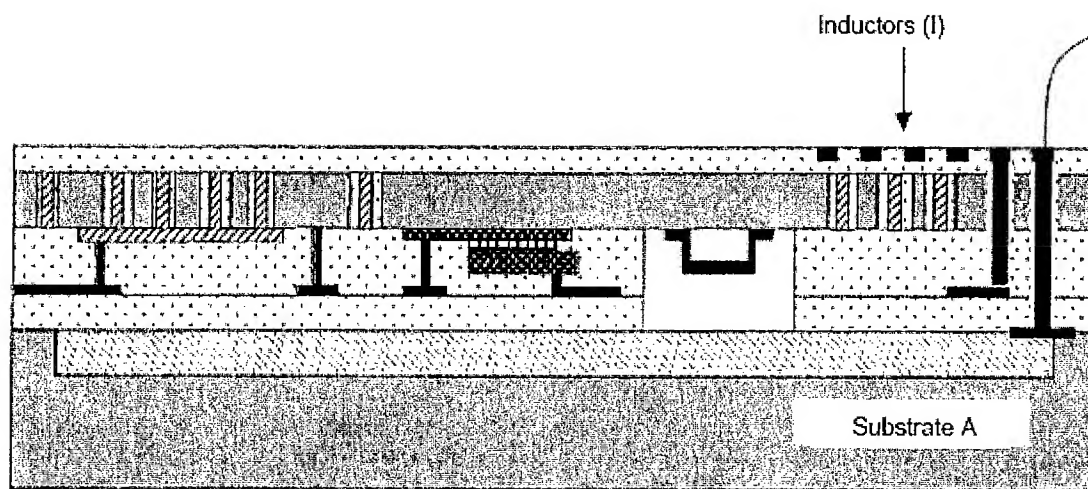


a) Next this substrate B is bonded onto substrate A with alignment of recess E with the MEMS. This may be carried out by different known methods: bonding by molecular adhesion, eutectic bonding, anodic bonding, polymer bonding, etc.



[...]

E. Next local etching can be carried out of the wafer B then the dielectric layers in vertical alignment so as to extricate the future contacts on the metallization terminals initially located either on wafer A, or on wafer B. An insulator is deposited at low temperature so as to cover the flanks of the trenches and the new free surface of substrate B. Recessed patterns are formed in that insulator at predetermined locations destined to delimit future conductive lines. Conductive metallization is formed on the surface and in the holes (vias) so formed. For this a thin deposit of an appropriate metal is for example produced. This continuous base is used to form an electrolytic deposition of thick Copper according to a technology such as that indicated in [8]. The Copper and continuous base are made planar using the usual techniques used so as to leave metal only in the recessed patterns and so produce so-called Damascene structures. The lines on the surface will be traced so as to produce high values inductors (IN). The thickness of the recesses and of the metal will be chosen so as to minimize the resistance of the layer.



[...]